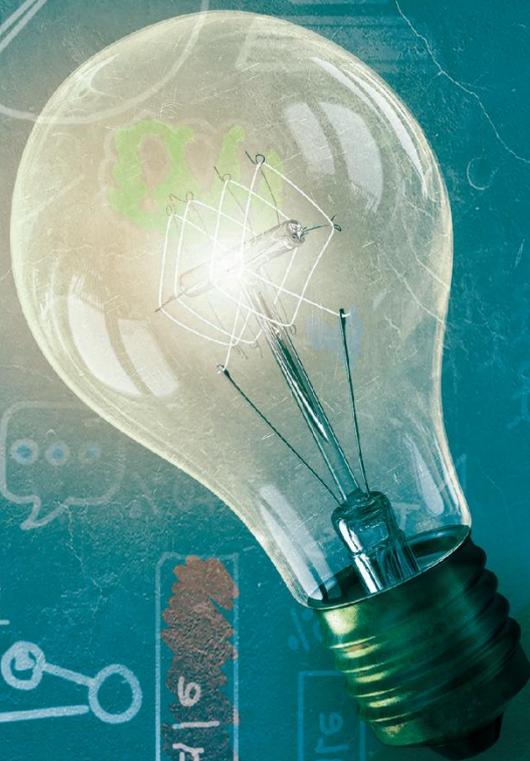


上海科学技术情报研究所
上海市前沿技术发展研究中心
技术与创新支持中心(TISC)



专利与创新

PATENT AND INNOVATION

2022 年

第 14 期

集成电路 Chiplet 专利态势

编者按

Chiplet 是业界为了弥补硅工艺技术增长放缓所做的几项努力之一。它们起源于多芯片模块，诞生于 20 世纪 70 年代，在 AMD 的 Ryzen 和 Epyc x86 处理器等产品中作为一种节省成本的技术而重新焕发活力。迄今为止，已经有很多公司早早地创建了自己的 Chiplet 生态系统，包括 Marvell 的 MoChi、英特尔的 EMIB 以及初创公司 zGlue 提供的产品。

2021 年 5 月，中国计算机互连技术联盟（CCITA）在工信部立项了《小芯片接口总线技术要求》，由中科院计算所、工信部电子四院和国内多个芯片厂商合作展开标准制定工作。2022 年 8 月，国际巨头华为、AMD、英特尔积极布局 Chiplet 并推出相关产品，与此同时，科技巨头们还共同成立了 Chiplet 标准联盟，正式推出了通用 Chiplet 的高速互联标准 UCIe。笔者从专利角度，梳理了集成电路 Chiplet 的国际竞争格局、主要厂商动态、以及对于今后该领域专利技术发展的关注与思考。

目 录

国际竞争格局	4
Chiplet 产业格局全景解析.....	4
Chiplet 技术：摩尔定律拯救者；两大阵营、六个核心玩家.....	7
主要厂商动态	9
华为又一项芯片堆叠封装专利曝光.....	9
专利解密苹果芯片“拼装”技术	11
AMD 新专利引领 Chiplet 大反攻.....	13
我国发展思考	15
“小芯片”技术能否帮助中国芯片“弯道超车”？	15
绕开先进制程封锁！中国“小芯片”标准草案即将公示.....	16

国际竞争格局

Chiplet 产业格局全景解析

一、Chiplet 行业概览

随着半导体制程节点的持续演进,短沟道效应以及量子隧穿效应带来的发热、漏电等问题愈发严重,追求经济效能的摩尔定律日趋放缓。在此背景下,产业开始思考将不同工艺模块化芯片。

作为先进封装技术的代表,Chiplet 将复杂芯片拆解成一组具有单独功能的小芯片单元 die (裸片),通过 die-to-die 将模块芯片和底层基础芯片封装组合在一起。

Chiplet 实现原理与搭积木相仿,从设计时就按照不同的计算单元或功能单元对其进行分解,然后每个单元选择最适合的工艺制程进行制造,再将这些模块化的裸片互联起来,通过先进封装技术,将不同功能、不同工艺制造的 Chiplet 封装成一个系统芯片,以实现一种新形式的 IP 复用。

Chiplet 的概念源于 Marvell 创始人周秀文博士在 ISSCC2015 上提出的 Mochi (ModularChip, 模块化芯片) 架构,伴随着 AMD 第一个将小芯片架构引入其最初的 Epyc 处理器 Naples, Chiplet 技术快速发展。

通过 Chiplet 技术,使用 10nm 工艺制造出来的芯片,完全也可以达到 7nm 芯片的集成度,但是研发投入和一次性生产投入则比 7nm 芯片的投入要少的多,新的连接形式在其生产过程中带动设备需求。

Chiplet 模式具备开发周期短、设计灵活性强、设计成本低和良率高等优点。可将不同工艺节点、材质、功能、供应商的具有特定功能的商业化裸片集中封装。

其作用主要包括:降低单片晶圆集成工艺良率风险,达到成本可控,有设计弹性,可实现芯片定制化;Chiplet 将大尺寸的多核心的设计,分散到较小的小芯片,更能满足现今高效能运算处理器的需求;弹性的设计方式不仅提升灵活性,且可实现包括模块组装、芯片网络、异构系统与元件集成四个方面的功能。

二、Chiplet 市场格局

目前 Chiplet 已经有少量商业应用,并吸引英特尔和 AMD 等国际芯片厂商投

入相关研发,在当前 SoC 遭遇工艺节点和成本瓶颈的情况下有望发展成为一种新的芯片生态。

随着Chiplet逐步发展,未来来自不同厂商的芯粒之间的互联需求持续提升。2022年3月,Chiplet的高速互联标准——UCIe(Universal Chiplet Interconnect Express,通用芯粒互联技术)正式推出,旨在芯片封装层面确立互联互通的统一标准,打造一个开放性的Chiplet生态系统。在解决Chiplet标准化方面具有划时代意义。

UCIe联盟为Chiplet制定了多种先进封装技术,包括英特尔EMIB、台积电CoWoS、日月光FoCoS-B等。UCIe发起人为Intel、AMD、ARM、高通、三星、台积电、日月光、Google Cloud、Meta和微软等十家公司。UCIe联盟致力于推行Chiplet互联规范,当前联盟成员包括Synopsys、Cadence、ADI、博通等国际龙头。

对于中国半导体而言,后摩尔时代Chiplet是中国与国外技术差距相对较小的封装技术领域。国内企业紧跟产业趋势,积极参与融入UCIe大生态,有望在Chiplet行业技术上乘势而上,实现突破。国内企业中,芯原微电子、超摩科技、芯和半导体、芯耀辉、摩尔精英、灿芯半导体、忆芯科技、芯耀辉、牛芯半导体、芯云凌、长鑫存储、超摩科技、希姆计算、世芯电子、阿里巴巴、OPPO、爱普科技、芯动科技、蓝洋智能等多家国内企业已成为UCIe联盟成员。



图 1 UCIe 联盟成员

三、Chiplet 的实现开启 IP 的新型复用模式

不同功能的 IP，如 CPU、存储器、模拟接口等，可灵活选择不同的工艺分别进行生产，从而可以灵活平衡计算性能与成本，实现功能模块的最优配置而不必受限于晶圆厂工艺。

AMD 公司是第一个引入小芯片架构的供应商。AMD 在第三代锐龙（Ryzen）处理器上复用了第二代霄龙（EPYC）处理器的 IO Chiplet，这种复用不但可以将“老旧制程”生产的 Chiplet 继续应用到下一代产品中以节约成本，更能极大地节约设计、验证和生产周期并降低失败风险。

就 Chiplet 和半导体 IP 的联系而言，Chiplet 可以被看作是半导体 IP 经过设计和制程优化后的硬件化产品，其业务形成也从半导体 IP 的软件形式转向到 Chiplet 的硬件形式。

半导体 IP 的市场参与者可大致分为两类：新思科技和 Cadence 是与 EDA 工具捆绑型的半导体 IP 供应商，生态链优势明显；其余是在细分领域提供专业的 IP 核厂商。

当前 IP 市场仍然被英美国家高度垄断，全球前 3 厂商是 Arm（英国）、Synopsys（美国）和 Cadence（美国）。SST 凭借着嵌入式非挥发性存储器异军突起，现在已经排到了全球第四。

国内芯原股份在全球前七名半导体 IP 授权供应商中，IP 种类的齐备程度也具有较强竞争力。芯原股份是国内领先的一站式芯片定制服务和半导体 IP 授权服务的企业，利用 Chiplet 技术进行 IP 芯片化，有望给公司带来全新商业模式。国内产业链相关厂商也在积极布局。

通富微电在先进封装方面公司已大规模生产 Chiplet 产品，7nm 产品已大规模量产，5nm 产品已完成研发即将量产。

长电科技是国内封装测试龙头企业，重点发展系统级（SiP）、晶圆级和 2.5D/3D 等先进封装技术，并实现大规模生产。

长川科技是国内领先的集成电路测试设备企业，Chiplet 芯粒的测试与先进封装将为公司带来新机遇。华峰测控是国内领先的集成电路测试设备企业，同样受益于 Chiplet 芯粒测试与先进封装带来的机遇。

兴森科技是国内 IC 封装基板领先企业，在应用 Chiplet 技术的先进封装材料领域有望持续拓展。

华大九天 Chiplet 技术的应用需要 EDA 工具的全面支持，作为国内 EDA 龙头，有望在 Chiplet 领域进行拓展。

寒武纪 2022 年 3 月 30 日回复称思元 370 是寒武纪首款采用 chiplet（芯粒）技术的 AI 芯片，采用 7nm 制程工艺，最大算力高达 256TOPS（INT8），是寒武纪第二代产品思元 270 算力的 2 倍。

摩尔定律减缓带来了小芯片的设计需求，性能提升、成本降低以及大芯片的缺陷问题是 Chiplet 设计成为趋势的三大推动因素。

总体来看，Chiplet 是后摩尔时代实现性能与成本突破的最优解，国外各大厂商持续布局。

根据研究机构 Omdia 报告，2024 年采用 Chiplet 的处理器芯片的全球市场规模将达 58 亿美元，到 2035 年将达到 570 亿美元。

Chiplet 作为目前受到广泛关注的新技术，给全球和中国的半导体市场带来了产业变革与机遇，降低了芯片设计门槛，带动 IP 设计厂商转换为 Chiplet 供应商，并且推动了先进封装、测试环节的需求。

资料来源：深度行业研究 2022-08-10 新闻

Chiplet 技术：摩尔定律拯救者；两大阵营、六个核心玩家

一、Chiplet 芯片异构在制造层面效率优化

Chiplet 出现离不开几个大的趋势：1) 计算机系统的异构、集成程度越来越高；2) 芯片间的数据通路带宽、延迟问题得到了产业界的解决；3) 异构集成+高速互联塑造了 Chiplet 这一芯片届的里程碑。

尽管在总的制造成本上有所优化，但由于先进封装在 Chiplet 制造过程中扮演了更加重要的角色，因此封测企业或将在 Chiplet 趋势下深度受益。Chiplet 封装领域，目前呈现出百花齐放的局面。Chiplet 的核心是实现芯片间的高速互联，同时兼顾多芯片互联后的重新布线。因此，UCIe 联盟在具体的封装方式上未对成员做出严格限制，根据 UCIe 联盟发布的 Chiplet 白皮书，UCIe 联盟支持了市面上主流的四种封装方式，分别为：1) 标准封装：将芯片间的金属连线埋入封装基板中。2) 利用硅桥连接芯片，并将硅桥嵌入封装基板中，如：英特尔 EMIB

方案。3) 使用硅中介层 (Si Interposer) 连接芯片并进行重新布线, 再将硅中介层封装到基板上, 如: 台积电 CoWoS 方案。4) 使用扇出型中介层进行重新布线, 仅在芯片连接处使用硅桥连接, 如: 日月光 FOCoS-B 方案。

二、全球格局：两大阵营，群雄逐鹿

实现 Chiplet 所依靠的先进封装技术在产业链内仍然未实现统一, 主要分为晶圆厂阵营和封装厂阵营: 晶圆厂阵营以硅片加工实现互联为主, 可提供更高速的连接和更好的拓展性; 封装厂阵营则努力减少硅片加工需求, 提出更有廉价、更有性价比的方案。

台积电：整合 3DFabric 平台，实现丰富拓扑结构组合。在 2.5D 和 3D 先进封装技术方面, 台积电已将 2.5D 和 3D 先进封装相关技术整合为“3DFabric”平台, 由客户自由选配, 前段技术包含 3D 的整合芯片系统 (SoICInFO-3D), 后段组装测试相关技术包含 2D/2.5D 的整合型扇出 (InFO) 以及 2.5D 的 CoWoS 系列家族。

三星：3DIC 封装方案强化 Chiplet 代工产业布局。三星由 1990 年起开启封装技术研发, 目前通过 SiP 实现高端封装技术演进。

日月光：FOCoS 方案力争减硅，降低成本。日月光的 FOCoS 提供了一种用于实现小芯片集成的硅桥技术, 称为 FOCoS-B (桥), 它利用带有路由层的微小硅片作为小芯片之间的封装内互连, 例如图形计算芯片 (GPU) 和高带宽内存 (HBM)。硅桥嵌入在扇出 RDL 层中, 是一种可以不使用硅中介层的 2.5D 封装方案。

Amkor：深度布局 TSV-less 工艺。Amkor 方面, 公司 2015 年推出 SLIM 及 SWIFT 解决方案; 且持续进行技术布局, 具备 2.5D/3DTSV 封装能力。

长电科技：国内封装龙头，TSV-less 路线引领。长电科技聚焦关键应用领域, 在 5G 通信类、高性能计算、消费类、汽车和工业等重要领域拥有行业领先的半导体先进封装技术 (如 SiP、WL-CSP、FC、eWLB、PiP、PoP 及 XDFOI 系列等) 以及混合信号/射频集成电路测试和资源优势, 并实现规模量产, 能够为市场和客户提供量身定制的技术解决方案。

通富微电：绑定 AMD，晶圆级封装助力 Chiplet。全球封测行业龙头, 先进封装耕耘优质客户。通富微电成立于 1997 年, 并于 2007 年深交所上市, 主要从

事集成电路封装测试一体化业务。2021 年全球 OSAT 中通富微电位列第五，先进封装方面位列第七。

后摩尔时代，Chiplet 由于其高性能、低功耗、高面积使用率以及低成本受到广泛关注，在延续摩尔定律的“经济效益”方面被寄予厚望。后摩尔时代，Chiplet 芯片设计环节能够降低大规模芯片设计的门槛，给中国集成电路产业带来了巨大发展机遇。

资料来源：传感器技术 2022-09-06 新闻

主要厂商动态

华为又一项芯片堆叠封装专利曝光

近日，国家知识产权局披露了华为于 2019 年递交申请的，名为“芯片堆叠封装结构及其封装方法、电子设备”的专利。

众所周知，近年来，因为芯片微缩的限制，行业转向芯片封装寻找芯片性能的提升办法。在日前的分析师大会上，华为常务董事、ICT 基础设施业务管理委员会主任汪涛也指出，华为正尝试用堆叠芯片的相关技术，用不那么先进的芯片工艺也可以让华为的产品更有竞争力。华为目前在芯片 3D 封装方面有了专利积累，有信心拿出更多解决方案和领先产品。“华为在（封装）这方面有多年的积累，我们基于芯片 3D 堆叠、3D 封装或者称之为 chiplet 技术，来实现在制程相对可能不是那么最领先的情况下做出最领先的芯片或者系统。当然，我们积累的技术和创新手段还有很多，因此我们有信心一直提供领先的产品和方案来服务于我们的客户和合作伙伴。”汪涛在后续回答记者问题的时候表示。

据报道，华为已开发了（并申请了专利）一种芯片堆叠工艺，该工艺有望比现有的芯片堆叠方法便宜得多。该技术将帮助华为继续使用较老的成熟工艺技术开发更快的芯片。

唯一的问题是华为是否真的可以利用其创新，因为没有美国政府的出口许可证，代工厂无法为该公司生产芯片。但至少华为自己当然相信它可以，特别是考

考虑到这项技术可以为基于不受美国如此严厉限制的旧节点的芯片提供性能提升。

由于美国政府将华为及其芯片设计子公司海思列入黑名单，现在要求所有制造芯片的公司申请出口许可证，因为所有半导体生产都涉及美国开发的技术，华为无法进入任何先进节点（例如台积电的 N5），因此必须依赖成熟的工艺技术。

为此，华为前任总裁郭平表示，创新的芯片封装和小芯片互连技术，尤其是 3D 堆叠，是公司在其 SoC 中投入更多晶体管并获得竞争力所需性能的一种方式。因此，该公司投资于专有的封装和互连方法（例如其获得专利的方法）是非常有意义的。“以 3D 混合键合技术为代表的微纳米技术将成为扩展摩尔定律的主要手段，”郭说。

华为高层表示，由于现代领先的制程技术进展相对缓慢，2.5D 或 3D 封装的多芯片设计是芯片设计人员不断在产品中投入更多晶体管，以满足他们客户在新功能和性能的预期，这也成为了产业界采用的一个普遍方式。因此，华为前董事长强调，华为将继续投资于内部设计的面积增强和堆叠技术。

华为在新闻发布会上公开发表的声明清楚地表明，公司旨在为其即将推出的产品使用其混合无 TSV 3D 堆叠方法（或者可能是类似且更主流的方法）。主要问题是该方法是否需要美国政府可能认为最先进且不授予出口许可证的任何工具或技术（毕竟，大多数晶圆厂工具使用源自美国的技术）。也就是说，我们是否会看到一家代工厂使用华为的专利方法为华为制造 3D 小芯片封装，这还有待观察。但至少华为拥有一项独特的廉价 3D 堆叠技术，即使无法使用最新节点，也可以帮助其保持竞争力。

创新的芯片封装和多芯片互连技术将在未来几年成为领先处理器的关键，因此所有主要芯片开发商和制造商现在都拥有自己专有的芯片封装和互连方法。

芯片制造商通常使用两种封装和互连方法：2.5D 封装为彼此相邻的小芯片实现高密度/高带宽的封装内互连，3D 封装通过将不同的小芯片堆叠在一起使处理器更小。然而，3D 封装通常需要相当复杂的布线，因为小芯片需要通信并且必须使用 TSV 提供电力。

虽然 TSV 已在芯片制造中使用了十多年，但它们增加了封装过程的复杂性和成本，因此华为决定发明一种不使用 TSV 的替代解决方案。华为专家设计的本质上是 2.5D 和 3D 堆叠的混合体，因为两个小芯片在封装内相互重叠，节省空间，

但不像经典 3D 封装那样完全叠放。

华为的方法使用小芯片的重叠部分来建立逻辑互连。同时，两个或更多小芯片仍然有自己的电力传输引脚，使用各种方法连接到自己的再分配层（RDL）。但是，虽然华为的专利技术避免使用 TSV，但实施起来并不容易且便宜。

华为的流程涉及在连接到另一个（或其他）之前将其中一个小芯片倒置。它还需要构建至少两个重新分配层来提供电力，这并不是特别便宜，因为它增加了几个额外的工艺步骤。好消息是其中一个芯片的再分配层可以用来连接内存等东西，从而节省空间。

事实上，华为的混合 3D 堆叠方式可以说比其他公司传统的 2.5D 和 3D 封装技术更通用。例如，很难将两个或三个耗电且热的逻辑裸片堆叠在一起，因为冷却这样的堆栈将非常复杂（这最终可能意味着对时钟和性能的妥协）。华为的方法增加了堆栈的表面尺寸，从而简化了冷却。同时，堆栈仍然小于 2.5D 封装，这对于智能手机、笔记本电脑或平板电脑等移动应用程序很重要。

从产业来看，其他半导体合同制造商（台积电、Global Foundries）、集成设计制造商（英特尔、三星），甚至可以使用领先的晶圆厂工具和工艺技术的无晶圆厂芯片开发商（AMD）也开发了自己的 2.5D 和 3D 小芯片堆叠和互连方法为他们的客户或他们未来的产品提供服务。因此，华为只是顺势而为。

资料来源：半导体行业观察 2022-05-07 新闻

专利解密苹果芯片“拼装”技术

2022 年 3 月，苹果又一次触动了芯片界的游戏规则。苹果发布的 M1 Ultra 芯片，是迄今为止该公司最强大的芯片，却是一个“拼装货”。尽管很多计算芯片已采用 Chiplet（芯粒）技术提升性能，但“拼装货”M1Ultra 的性能还是让 PC 界震撼了。

M1 Ultra 支持高达 128GB 的高带宽、低延迟统一内存，支持 20 个 CPU 核心、64 个 GPU 核心和 32 核神经网络引擎，每秒可运行高达 22 万亿次运算，提供的 GPU 性能是苹果 M1 芯片的 8 倍，提供的 GPU 性能比最新的 16 核 PC 台式机还高 90%。

苹果的新 M1 Ultra 芯片“拼装”性能之所以成为可能，要归功于其 Ultra

Fusion 架构。其实，Ultra Fusion 功能早已内置于之前发布的苹果 M1Max 芯片中，但直到 3 月的苹果 Peek Performance 活动才被明确提出。

M1 Ultra 芯片的 Ultra Fusion 架构使用硅中介层（Silicon Interposer）和微型凸块（Micro-Bump），将芯片连接到超过 10,000 个信号。

该技术提供 2.5TB/s 的超高处理器间带宽，以及低延迟。这一性能是其他多芯片互连技术带宽的 4 倍多。这个速率带宽也明显领先于英特尔、AMD、Arm、台积电和三星等众多行业巨头组成的通用芯粒互连联盟（UCIe）当前的性能。

根据苹果公司和台积电已发表的专利和论文，我们从 2.5D/3D 互连和技术层面解析 Ultra Fusion 封装架构。

一、芯片封装走向 2.5D/3D 互连

按摩尔定律描述，芯片上的晶体管数量每 24 个月翻一番。这对于 CPU、GPU、FPGA 和 DSA 依然适用。

随着芯片算力呈指数级增长，芯片尺寸逐渐超出光刻掩模版尺寸，系统级封装（System on Package, SoP），特别是 Chiplet 技术，成为维持摩尔定律，超越掩模版限制的有效方式。（Y. H. Chen et al., 2020）

图灵奖得主姚期智院士也非常重视 Chiplet 技术，在 2020 年指导成立了中国自己的 Chiplet 产业联盟，该联盟与北极雄芯共同为国内设计企业提供 Chiplet 交流合作的平台和高性价比的解决方案。

通过快速发展的片间互连技术和封装技术，摩尔定律从单独的晶体管缩放（摩尔定律 1.0）演变为系统级缩放（被业界戏称为摩尔定律 2.0）。

封装从 2D（二维）逐渐发展到 2.5D 和 3D。集成电路从扩大面积和立体发展两条路来提升整体性能。

二、从苹果台积电专利论文，解析 UltraFusion 架构

从 M1 Ultra 发布的 Ultra Fusion 图示，以及苹果及其代工厂（台积电）的公开专利和论文来看，Ultra Fusion 应是基于台积电第五代 CoWoS Chiplet 技术的互连架构。

Chip-on-Wafer-on-Substrate with Siinterposer（CoWoS-S）是一种基于 TSV 的多芯片集成技术，被广泛应用于高性能计算（HPC）和人工智能（AI）加速器领域。

随着 CoWoS 的进步，可制造的中介层（Interposer）面积稳步增加，从一个全掩模版尺寸（大约 830mm²）到两个掩模版尺寸（大约 1700mm²）。中介层的面积决定了最大的封装后的芯片的面积。

第 5 代 CoWoS-S（CoWoS-S5）达到了大至三个全光罩尺寸（~2500mm²）的水平。通过双路光刻拼接方法，该技术的硅中介层可容纳 1200mm² 的多个逻辑芯粒和八个 HBM（高带宽内存）堆栈。芯粒与硅中介层的采用面对面（Face to Face，互连层与互连层对接）的连接方式。

在 Ultra Fusion 技术中，通过使用裸片缝合（Die Stitching）技术，可将 4 个掩模版拼接来扩大中介层的面积。在这种方法中，4 个掩模被同时曝光，并在单个芯片中生成四个缝合的“边缘”。

根据苹果公司的专利显示，在这一技术中，片间互连可以是单层金属，也可以是多层金属。（US20220013504A1/US20210217702A1）

三、六大技术特别优化

Ultra Fusion 不仅仅是简单的物理连接结构。在这一封装架构中，有几项特别优化过的技术（P.K.Huang 2021）：1）低 RC 互连；2）互连功耗控制；3）优化 TSV；4）集成在中介层的电容（iCAP）；5）新的热界面材料；6）通过 Die-Stitching 技术有效提升封装良率降低成本

四、为更强算力芯片提供想象空间

Ultra Fusion 充分结合了封装互连技术、半导体制造和电路设计技术，为整合面积更大、性能更高的算力芯片提供了巨大的想象空间，为计算架构的发展提供了非常好的助力和参照。

资料来源：千芯科技 2022-03-11 新闻

AMD 新专利引领 Chiplet 大反攻

AMD 最近发布了一项专利，用于将渲染负载分散到多个 GPU 小芯片（Chiplet）上。游戏场景被划分为单独的块并分配给小芯片，以优化游戏中着色器的利用率。为此使用了两级小芯片分箱。

AMD 发布的这项新专利为该公司计划在未来几年内使用下一代 GPU 和 CPU 技

术做什么提供了更多见解。在 6 月底,有 54 项专利申请被披露将被发送公开。AMD 的计划中将使用已发布的 50 多项专利中的哪一项尚不得而知。专利中讨论的应用详细介绍了公司在接下来几年的方法。

目前尚不清楚 AMD 打算何时开始使用这一新工艺或是否会获得批准。然而,它让我们得以一窥更高效的 GPU 处理的未来。

小芯片 (Chiplet) 技术深蹲数十年,在芯片、品牌厂对高速运算 (HPC) 的迫切需求下,由超微 (AMD) 领军率先商转,连苹果也用小芯片打造「怪兽芯片」M1Ultra 处理器,引起各界关注。一直以来,英特尔 (Intel) x86 架构长期主宰服务器和笔电市场,直到苹果开始自制芯片,让英特尔独霸的局势出现转变;同时,对手 AMD 紧密与台积电合作,企图靠小芯片加速开发速度并降低成本,反超英特尔的计画如箭在弦,逼得英特尔也不得不投入小芯片设计,巩固市场,吹皱半导体一池春水。

2022 年 3 月,苹果 (Apple) 于春季发表大会推出号称「全球最强大的怪物型电脑芯片」M1 Ultra,再度引爆半导体对小芯片 (Chiplet) 的关注。苹果资深硬体技术副总裁 Johny Srouji 更指出:「M1 Ultra 是一款开创新局的 Apple 芯片,将再次震撼个人电脑产业。」

日月光研发副总洪志斌补充,使用小芯片主要目的在提升整体表现 (如晶圆良率及成本),将原本单一面积很大的多核心芯片拆分成多个面积较小的芯片,这样的作法不仅可减少单一过大面积的芯片成本,由于小芯片的良率较好,能整合出更经济且高效能的产品。正因如此,IC 设计业者对小芯片的兴趣与接受度越来越高,尤其是一线 IC 设计业者。

举例来说,全球排名前五大的 IC 设计大厂中,就有超微、高通 (Qualcomm)、英伟达 (nVIDIA)、联发科四家陆续投入小芯片开发设计,其中,超微更是率先推出商用小芯片的 IC 设计大厂;法人报告指出,联发科也预告其 HPC 产品将朝向小芯片架构发展,预计 2023 年上市。

深入分析,超微用小芯片作为反超老对手英特尔 (Intel) 的秘密武器,蚕食 x86 市场,市占率从 2018 年仅有 10% 多,一路狂飙到 2022 第一季的 27.7%,创历史新高;不仅如此,苹果、谷歌 (Google)、微软 (Microsoft)、Meta (前身为脸书 Facebook)、亚马逊 (Amazon) 等不同领域的科技巨擘,也纷纷喊出自

研芯片规划，以利产品或服务差异化，此举势必进一步动摇英特尔处理器霸主的地位。

小芯片蔚为潮流，市场第一个联想到的受益者就是协助超微、苹果等生产芯片的台积电。殊不知，除了台积电外，小芯片的崛起也引爆载板、封测与 IP 设计服务等半导体供应链庞大商机，吸引业者争相布局。

资料来源：半导体行业观察 2022-07-10 新闻

我国发展思考

“小芯片”技术能否帮助中国芯片“弯道超车”？

半导体产业新的先进封装技术细分领域——Chiplet（小芯片，又称“芯粒”）近期备受机构投资者的关注。8月4日，阿里巴巴、英伟达宣布加入 Chiplet 生态的通用芯粒互连（UCIe）联盟；8月7日，国内芯片 IP 公司芯原股份（688521.SH）在财报中披露，其有可能成为全球第一批面向客户推出 Chiplet 商用产品的企业，基于此技术的 5nm 系统级芯片（SoC）目前已流片成功。

不过，这项技术还存在争议。部分行业人士认为，Chiplet 对中国解决先进芯片技术瓶颈具有重要意义，是中国市场换道超车重要技术路径之一。甚至 8 月 6 日有文章称 Chiplet 是“10 年涨 10 倍的大机遇”。但清华大学专家却指出，Chiplet 只是先进芯片制造工艺的“补充”，而不是替代品。

对于中国来说，Chiplet 技术的最大吸引力在于，它可以在降低成本下，实现不同工艺节点的芯片产品搭配，并通过添加或删除 Chiplet，来创建具有不同功能集的不同产品。

比如，一颗芯片内部包含存储、通信和 NPU（神经网络处理器）模块，它可以搭配 28nm、14nm、7nm 不同节点，中间由 I/O die 互连，从而创造出与 7nm 芯片一样的性能和作用，这有助于减少美国对先进技术封锁的影响。

在国内，华为海思半导体是最早研究 Chiplet 技术的公司之一。随后包括芯片 IP 公司芯原股份、国内芯片封装龙头企业长电科技（600584.SH）、通富微电、

华天科技等企业，都在发力 Chiplet 技术。根据中国证券报的统计，A 股中布局 Chiplet 的概念股有 8 只。

8 月 5 日，长电科技表示，2021 年公司推出了支持 Chiplet 技术的扇外型封装解决方案；芯原股份则表示，其计划于 2022 年至 2023 年，继续推进高端应用处理器平台 Chiplet 方案的迭代研发工作，并通过客户合作项目、产业投资等，持续推进 Chiplet 在平板电脑、自动驾驶、数据中心等领域的产业化落地进程。

Chiplet 还有一些技术障碍需要克服。比如封装 14nm 节点芯片以执行 7nm 芯片功能，可能会增加 40% 的功耗。“即使我们能找到技术解决方案，另一个挑战是如何控制成本。我认为现在没有人对此非常清楚。”

中国集成电路产业总体上还处在追赶的过程中，Chiplet 的出现并不能带来这一态势的根本改变。不过，中国企业可以借助 Chiplet 更快地发展应用，促使其向标准芯粒方向转型。

资料来源：钛媒体 App 2022-08-08 新闻

绕开先进制程封锁！中国“小芯片”标准草案即将公示

2022 年 3 月，Chiplet 俨然成为巨头拥趸的焦点。3 月 2 日，英特尔、AMD、Arm、台积电、三星、日月光、高通、微软、谷歌云、Meta 十家巨头联合，发起一项瞄准 chiplet 的新互连标准 UCIe。仅隔一周，苹果又甩出了一个性能爆表的顶级电脑芯片 M1Ultra，其中将两枚 M1Max 芯片“粘连”而成的“胶水”封装大法，同样属于 chiplet 技术范畴。这两起事件，直接将 chiplet 的热度推至高潮。

值得注意的是，拥有顶级芯片设计水平的苹果，并未出现在 UCIe 标准的首发成员名单中，其 M1Ultra 芯片的实现方式，也与 UCIe 不同，反倒与我国正在推进的 chiplet 标准在目的和功能上有些类似。

标准的制定对于生态的扩张至为关键，但多位业内专家或资深人士告诉芯东西，UCIe 标准对国内产业的价值还很模糊，尤其在全球科技“武器化”和美国政府提防中国科技崛起的地缘冲突背景下，这个新标准预计很难为国内厂商提供助力。

芯东西获悉，国内 chiplet 标准草案现已制订完毕，即将进入征求意见阶段，预计第一季度挂网公示和意见征集，第二季度完成技术验证计划制订，年底前完成技术验证，并完成标准文本的确定，进行初版标准的发布工作，首个版本发布即可用。

那么，国内外标准存在哪些异同？这些标准的建立会怎样影响后摩尔时代芯片的发展格局？推进此类标准的建设，还需突破哪些障碍？

围绕这些问题，近日，芯东西与无锡芯光互连技术研究院院长、无锡芯光集成电路互连技术产业服务中心主任、中国计算机互连技术联盟秘书长、中科院计算所研究员郝沁汾进行深入交流，解读 chiplet 标准建设背后的痛点、趋势与隐忧。芯谋研究分析师张先扬亦为本文贡献了有价值的行业观点。

一、Chiplet：摩尔定律的“救星”

UCIe 标准在封装的方式上更加多样化，比如支持标准的 MCM 封装方式，因而更易被采用。“从行业来说，UCIe 的问世，意味着一个可以推广普及的、真正的 chiplet 标准到来了。”中国计算机互连技术联盟秘书长郝沁汾说。值得注意的是，UCIe 联盟的初始成员名单囊括了全球最顶级的芯片制造商英特尔、台积电、三星，最大芯片封测商日月光，以及 AMD、Arm、高通等 x86 和 Arm 生态中实力领先的芯片设计企业。能让昔日在某些领域互为竞争对手的巨头们此刻手挽手，足见 chiplet 的发展潜力不容小觑。

为什么 chiplet 势头渐盛？这与摩尔定律的放缓有密切关联。按照摩尔定律，单靠芯片制造商工艺技术的迭代，每 18 个月，芯片性能就可以提升一倍。但近些年，由于摩尔定律放缓，3nm、2nm 之后再如何往下走尚未可知，先进制程演进即将停滞。继续提升晶体管密度即便在技术上可行，也会带来巨额成本。当靠工艺提升性能遭逢瓶颈，单芯片设计的技术路线很难继续走下去，向基于 chiplet 的芯片设计技术转型，已经是许多芯片产业链头部玩家的共识。相比单芯片设计，基于 chiplet 设计的芯片，可以进一步提升良率，降低成本，同时性能更强。Chiplet 采用多颗小芯片组合的思路，以更小的裸片提升总体良率，可以带来更高的硅利用率和产能。

因此，芯片业已经不再只关注单裸片芯片，而是开始将多个裸片组成的单个芯片集成到系统中，并有越来越多的芯片公司投入相关研发。但随着基于

chiplet 的芯片品类逐渐多样，缺乏标准的问题逐渐变得棘手。

二、不仅要建立标准还必须建立国内原生标准

Chiplet 这个新兴技术领域，可能会涉及到多家同时在做各种功能芯片的各类设计、互连、接口，如果没有统一的标准，市场和生态是做不大的。于是英特尔振臂一挥，一呼百应，把芯片圈最有话语权的代工商、封测商、芯片设计龙头、云计算巨头聚到一起。在郝沁汾看来，英特尔牵头这些标准的核心动力，是维护和丰富其生态系统的完整性。UCIe 标准明确提出支持 CXL 和 PCIe 协议，而这两个互连协议均由英特尔提出和创建。

值得注意的是，UCIe 联盟的初始成员名单中，没有苹果、英伟达等芯片圈知名“狠角色”。英伟达可能是因为其业务高毛利，对成本不敏感，暂时对 chiplet 这种设计方式不太感兴趣，再加上英伟达有自己的片间互连协议 NVLink，与英特尔对数据中心场景的一些期望不一致，因此支持 UCIe 与否不是必须为之。而苹果上周最新发布的电脑芯片 M1Ultra，已是在 chiplet 方向上的一次成功尝试。

在中美关系仍较为紧张的情况下，美国技术联盟如果贸然将大陆厂商拉进去，会承担法规方面的风险。“标准有国界”的警钟三年前就敲响过。2019 年 5 月，美国商务部宣布将华为列入实体清单，随后 PCIe 组织 PCI-SIG 曾短暂地停掉华为的会员资格。再结合近期的俄乌战事，可以看到科技已经“武器化”，假如哪天美国政府再次升级技术出口管制措施，依赖国际标准的国内企业可能要吃些苦头。

张先扬认为，国内方面，我们要继续走好自己的路，在加速国产化替代的同时，做好应对一切冲击的准备，UCIe 提供了一种可参考的产业平台机制，我们亦可以通过组建内部产业联盟的方式来优化产业分工，进一步加快国内产业发展，提高国内半导体产业对于冲击的耐受力。

三、国内外 chiplet 标准有何异同？

2021 年 5 月，中国计算机互连技术联盟（CCITA）在工信部立项了 chiplet 标准，即《小芯片接口总线技术要求》，由中科院计算所、工信部电子四院和国内多个芯片厂商合作展开标准制定工作。

目前，该标准的第一版草案已经完成，按照流程即将于第一季度在工信部中国电子技术标准化协会网站上挂网征求意见。值得注意的是，UCIe 第一版在 2022

年1月份发布，也就意味着它与国内 chiplet 标准开始制订的时间大致相近。

UCIe 支持标准封装、先进封装，其中标准封装属于入门级，只能用在不追求高性能的芯片中，而它列出的英特尔 EMIB、台积电 CoWoS、日月光 FoCoS-B 三种先进封装方式，大陆工厂目前都不支持。战略风险在于，倘若 UCIe 支持的三种先进封装技术被禁运，大陆厂商想用 UCIe 协议，只能采用标准封装的方式。而采用标准封装方式的 chiplet 间互连带宽，仅有采用先进封装带宽的 1/6，性能大幅缩水。

在标准组成上，UCIe 主要由 D2D 适配层、物理层（含封装）组成，图中虚线以上是既有协议，CXL 或 PCIe。我国的《小芯片接口总线技术要求》也有类似的组成，由链路适配层、物理层及封装组成。

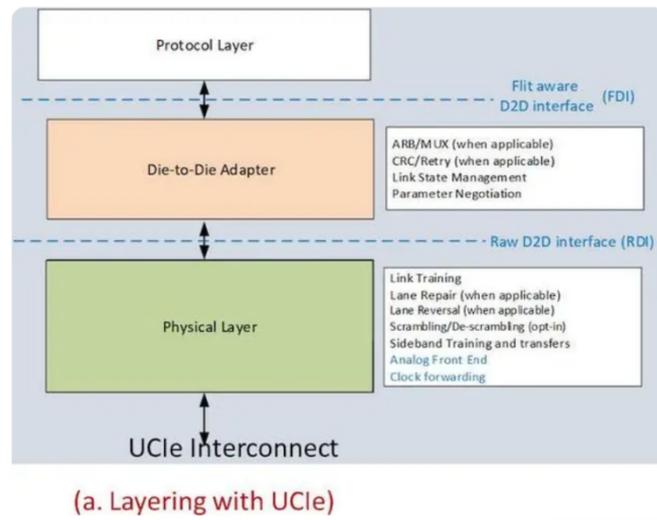


图 1 UCIe 分层协议的组成

两个标准的关键区别之一在于，UCIe 在 D2D 组成的芯片中，加入了一种叫 retimer 的功能芯片定义，它负责把信号由并行转成串行，然后以更高速度传送到较远的地方。国内《小芯片接口总线技术要求》则不包括这部分内容，而是一个纯粹的 D2D 互连标准。我国的标准更加符合国情。比如在物理层，国内 chiplet 标准同时支持单端信号和差分信号，单端的信号是一根线，差分信号是一对线，可以把信号传的更远一点。

通过 chiplet 将两个芯片互连，只要支持差分信号，就能使国内某些加速器芯片厂商实现将相同的芯片通过差分信号接口相连，以拓展总体性能的目的。这种先用成熟工艺做出小芯片、再用先进封装技术把它们拼在一起的方式更加廉价

经济，可替代采用 7nm、5nm 先进制程工艺生产芯片的昂贵方案。

上周苹果最新推出的最强电脑芯片 M1Ultra，其实现方式与国内 chiplet 标准更为类似。而 UCIe 只支持通过单端信号实现 D2D 互连，与国内厂商的现阶段诉求不一致，实用性欠佳。

国内 chiplet 标准既支持像台积电 CoWoS 等先进封装方式，也支持国内先进封装方法的最新积累，这样国内企业万一被施加技术限制，至少还有个备用方案，而不至于措手不及。

四、chiplet 是我国必须抓住的技术机会

以先进制程节点演变为特点的传统集成电路工业，是物理化学学科的高度发展结晶，产业链条又大部分分布在美国、欧洲、日本，很难一下子在几年内就缩短距离。

倘若先进制程技术的供应受阻，国内厂商可以借助集成电路互连技术，绕道达成性能目标——通过集成电路互连技术把采用成熟工艺制程的芯片连接在一起，在先进封装技术的支持下，实现或接近实现一个需要采用先进制程做出的芯片性能，就有可能走出一条绕过技术封锁的新路径。因此，chiplet 是我国面临的一个绝佳技术机会，一定要抓住。

从事实来看，UCIe 对大陆厂商不能算作“友好”，由美国企业主导的“开放生态联盟”可以实现西方意识形态范围之内的开放，但是对中国而言，盲目相信美国企业的开放，是非常危险的一件事情。

目前，制订标准的难度主要在于，一方面需要十分有经验的技术专家，但国内相应的人才仍很欠缺；另一方面，由于历史原因，在国内，制订 chiplet 标准所需的 IP 成员依然十分匮乏，比如能够做物理层技术的公司只有几家，远远不够。同时，国内标准工作组计划在今年年中启动围绕标准的技术验证工作，组织参与企业共同完成技术验证，做一个能真正落地的标准，其中部分经费由无锡芯光互连技术研究院提供。

即将进入征求意见阶段的标准草案，预计将于今年第二季度完成技术验证的计划制订，年底前完成技术验证，并完成标准文本的确定，进行标准第一个版本的发布工作，首个版本发布即可用。

五、结语：路漫漫其修远兮

国内《小芯片接口总线技术要求》标准制定工作的开展，是我国在探索新一代芯片技术发展道路上的重要尝试，尤其在地缘纷争频发的国际背景下，这一尝试颇具战略意义。

但是做到像 PCIe、CXL 这样的普及程度，还需要更长时间，也需要国内企业的支持。尽管很多国内企业已经意识到 chiplet 标准很重要，但对于一些仍处在求生存阶段的芯片厂商来而言，这个标准并不能帮它们解决眼前的生存问题。

资料来源：芯东西 2022-03-14 新闻

地址：上海市永福路 265 号
邮编：200031
编辑：李灵捷
责编：路炜
编审：林鹤
电话：021-64455555
邮件：istis@libnet.sh.cn
网址：www.istis.sh.cn